

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-248609
(43)Date of publication of application : 04.09.1992

(51)Int.CI. G06F 3/00

(21)Application number : 03-027712 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

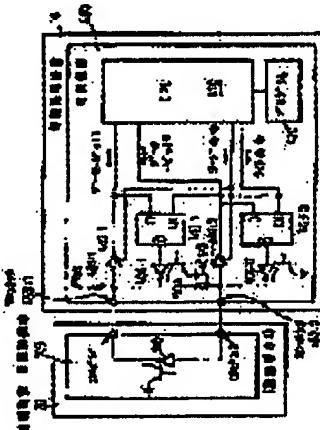
(22)Date of filing : 30.01.1991 (72)Inventor : CANOVA JR FRANCIS J

(54) INFORMATION PROCESSOR, ACCESSORY DEVICE CONNECTED TO INFORMATION PROCESSOR AND INFORMATION PROCESSING SYSTEM INCLUDING INFORMATION PROCESSOR AND ACCESSORY DEVICE

(57)Abstract:

PURPOSE: To increase the number of accessory devices to be identified by connecting at least one terminal to at least one remaining terminal directly or through a logical gate substitutively for or additionally to a combination for connecting an accessory device identification(ID) signal terminal to a power supply level or a ground level.

CONSTITUTION: An accessory device 20 includes an identified mechanism 103, which functions so as to indicate that the ID number of the device 20 is '3'. The mechanism 103 has two ID signal terminal ID pins 0, 1 and the ID pin 1 is connected to the ID pin 0 through a NOT gate 110. Identifying operation is executed by three cycles, i.e., the reading, writing and reading cycles of ID signals, and the signal levels of the ID pins 0, 1 are read out in the initial reading cycle. After executing the writing cycle and the 2nd reading cycle, a CPU 410 identifies that the ID number of the mechanism 103 is '3' from the combination of the initial signal levels and the 2nd signal levels of the ID pins 0, 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-248609

(43) 公開日 平成4年(1992)9月4日

(51) Int.Cl.
G 06 F 3/00

識別記号 廈門整理番号
A 8323-5B

F I

技術表示所

審査請求 有 前求項の数? (全 12 頁)

(21)出願番号 特願平3-27712
(22)出願日 平成3年(1991)1月30日

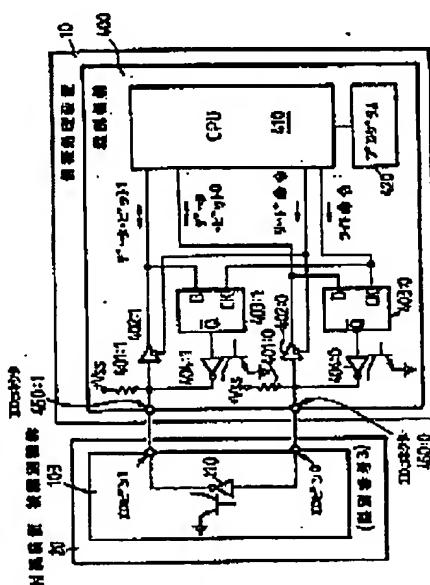
(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72)発明者 フランシス・ジエームス・カノーバ・ジュニア
アメリカ合衆国フロリダ州ポイントン・ビーチ、サウス・エスト、35ストリート、
922番地
(74)代理人 弁理士 顧宮 季一 (外4名)

(54) 【発明の名称】 情報処理装置、情報処理装置に接続される付属装置、及び、情報処理装置と付属装置とを含む情報処理システム

(57) **【要約】**

【目的】簡単な構造の追加より、識別し得る付属装置の数を増やし、従来構造の付属装置をも識別する。

【構成】付属装置の識別信号用の端子を電源レベル或は接地レベルにつなげる組合せに代えて或は加えて、前記端子の少なくとも1つを前記端子の残りの少なくとも1つに直接あるいは論理ゲートを介して接続することにより、その接続形態及び論理ゲートの種類に応じて識別数を増加させる。また、前記付属装置を識別する情報処理装置は、前記端子の信号レベルを一旦読み取った後に、読み取り結果に応じた信号を前記端子に書き込み、前記端子の信号レベルを再度読み取った後に、前記論理ゲートの種類及び接続形態を判別する。



(2)

特開平4-248609

1

【特許請求の範囲】

【請求項 1】情報処理装置と、識別信号用の端子を介して前記情報処理装置に接続される付属装置と、を含む情報処理システムにおいて、前記端子の少なくとも1つは前記端子の残りの少なくとも1つに直接あるいは論理ゲートを介して接続されており、前記情報処理装置は、前記端子の信号レベルを一旦読み取った後に、読み取り結果に応じた信号を前記端子に書き込み、前記端子の信号レベルを再度読み取った後に前記付属装置を識別する機能を有する、装置識別システム。

【請求項 2】識別信号端子を有する付属装置と、前記識別端子の夫々に接続される接続子を有し前記接続子に現れる信号レベルの組合せから前記付属装置を識別する情報処理装置と、を含む情報処理システムにおいて、前記識別信号端子の少なくとも1つは残りの少なくとも1つに直接あるいは論理ゲートを介して接続されており、前記情報処理装置は、第1のサイクルで前記接続子の信号レベルがHレベルであるかLレベルであるかを読み取り、第2のサイクルでは前記読み取り結果がHレベルであった前記接続子あるいはLレベルであった前記接続子のいずれか一方について所定の信号を前記識別信号端子に書き込み、第3のサイクルで再び前記接続子の信号レベルを読み取り、第1及び第2のサイクルの読み取り結果から前記付属装置の特定する、情報処理システム。

【請求項 3】付属装置の識別端子の夫々に接続される接続子を有し、これらの接続子に現れる信号レベルの組合せから前記付属装置を識別する情報処理装置において、前記接続子の信号レベルを変更するレベル変更手段と、レベル変更の前及び後の前記接続子の信号レベルの組合せから前記付属装置の特定を行う決定手段と、を有している、情報処理装置。

【請求項 4】前記レベル変更手段及び決定手段はCPU及び前記CPUのためのプログラムである、請求項3に記載の情報処理装置。

【請求項 5】前記レベル変更手段はタイミング発生器及びフリップ・フロップから構成され、前記決定手段はデコード回路から構成されている、請求項3に記載の情報処理装置。

【請求項 6】情報処理装置に接続される付属装置であって、少なくとも1つの識別端子は直接あるいは論理回路を介して残りの少なくとも1つの識別端子に接続されている複数の識別端子を有し、前記端子に所定の信号レベルが前記情報処理装置により書き込まれたときの前記端子の信号レベルの変化の態様に基づいて前記情報処理により識別されるよう構成されている付属装置。

【請求項 7】前記情報処理装置の出力データを表示する表示装置である、請求項6に記載の付属装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置、情報処理

10

20

20

30

40

50

3

装置に接続される付属装置、及び、情報処理装置と付属装置とを含む情報処理システムに係り、更に詳しくは、どの付属装置が情報処理装置に接続されたのかを識別する技術に関する。

【0002】

【従来の技術】パーソナル・コンピュータ等の情報処理装置にディスプレイ装置等の出力装置類や各種カード装置類等の付属装置を接続する際に、どのような付属装置が接続されたかをパーソナル・コンピュータが識別する必要のある場合がある。従来は、複数の識別信号端子（IDピン）を選択的にグランド・レベルに接続する一方で、パーソナル・コンピュータ等内の識別機構はIDピンの信号レベルの組合せを検知して付属装置を識別していた。従って、IDピンの数がN個のときは 2^N 通りが識別し得る装置数の最大値であった。また、識別し得る装置数を増やすために、マルチプレギング技法のようなダイナミック識別技法が採用される場合がある。しかし、このダイナミック識別技法は構造が非常に複雑である。

【0003】

【発明が解決しようとする課題】本発明の目的は、簡単な構造により、識別し得る付属装置の数を増やすことのできる情報処理システムを提供することである。また、本発明の別の目的は、従来構造の付属装置をも識別し得る情報処理システムを提供することである。

【0004】

【課題を解決するための手段】本発明は、付属装置の識別信号用の端子を電源レベル又は接地レベルにつなげる組合せに代えて或は加えて、前記端子の少なくとも1つを前記端子の残りの少なくとも1つに直接あるいは論理ゲートを介して接続することにより、その接続形態及び論理ゲートの種類に応じて識別数を増加させることを可能にした。また、前記付属装置を識別する情報処理装置は、前記端子の信号レベルを一旦読み取った後に、読み取り結果に応じた信号を前記端子に書き込み、前記端子の信号レベルを再度読み取った後に、前記論理ゲートの種類及び接続形態を判別できるようにした。

【0005】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1には本発明による情報処理システムの第1実施例が示されている。図中、ディスプレイ装置等の出力装置類や各種カード装置類等の付属装置20は被識別機構103を含み、この被識別機構103は付属装置20の識別番号が3（ID3）であることを示すように構成する。被識別機構103は2つの識別信号用の端子であるIDピン0及びIDピン1を有し、IDピン1はNOTゲート110を介してIDピン0に接続されている。NOTゲート110はオープン・コレクタ構成である。

【0006】情報処理装置10は識別機構400を有

(3)

特開平4-248609

3

し、識別装置400はIDコネクタ450:0及びIDコネクタ450:1を有し、IDコネクタ450:0はIDピン0に接続され、IDコネクタ450:1はIDピン1に接続されている。IDコネクタ450:0はブルアップ抵抗401:0を介して電源レベル+Vsに接続されるとともに、トライ・ステート・パッファ402:0を介してCPU410のデータ入力端子に接続されている。トライ・ステート・パッファ402:0の制御端子はCPU410の制御信号端子の1つに接続され、CPU410からリード命令が発せられると、IDピン0の信号レベル即ちIDピン0上に現れる識別用データ(ID信号)がCPU410及びプログラム420により読み取られるようになっている。

【0007】トライ・ステート・パッファ402:0の出力はD(遮断)型のフリップ・フロップ403:0のD(データ)入力端子にも入力されている。フリップ・フロップ403:0のCK(クロック)入力端子はCPU410の制御信号端子の1つに接続されている。CPU410からのライト命令がCK端子に入力すると、D入力端子上の信号レベルが反転Q端子から出力される。反転Q端子の出力はNOTゲート404:0を介してIDコネクタ450:0に接続されている。NOTゲート404:0はオープン・コレクタ構成である。以上、IDコネクタ450:0について説明したが、全く同様の構成がIDコネクタ450:1についても繰り返されている。

【0008】次に、本実施例の識別動作について説明する。識別動作はID信号に対するリード/ライト/リードという3つのサイクルで行なわれる。先ず、最初のリード・サイクルでIDピン0及びIDピン1の識別データ(信号レベル)を読み取る。図1の例では、IDピン0はブルアップ抵抗401:0を介して電源レベル+VsにブルアップされるのでHレベルである。一方、IDピン1はNOTゲート110を介して接地レベルに接続されるのでLレベルである。CPU410は最初のリード命令でこれらの信号レベルを読み取る。次のライト・サイクルでは、最初のリード・サイクルでHレベルが読み取られていたIDピンに対してLレベルの信号が書き込まれる。CPU410がライト命令を発すると、IDピン0にはLレベルの信号が書き込まれ、IDピン1にはHレベルの信号が書き込まれる。この結果、IDピン0はLレベルになり、IDピン1はHレベルになる。CPU410は2度目のリード命令でこれらの信号レベルを読み取る。CPU410は最初のリード命令で読み取ったIDピン0及び1の信号レベルと2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構103が識別番号3(ID3)であることを識別する。

【0009】図2には識別番号1の被識別機構101が示されている。被識別機構101のIDピン0及び1は

ともに接地レベルに接続されている。従って、最初のリード命令で読み取ったIDピン0及び1の信号レベルはともにLレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルもともにLレベルである。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構101が識別番号1の構造であることを識別する。

【0010】図3には識別番号2の被識別機構102が示されている。被識別機構102のIDピン0はオープンであり、IDピン1は接地レベルに接続されている。従って、最初のリード命令で読み取ったIDピン0及び1の信号レベルは夫々Hレベル及びLレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルはともにLレベルである。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構102が識別番号2の構造であることを識別する。

【0011】図4には識別番号4の被識別機構104が示されている。被識別機構104のIDピン0は接地レベルに接続され、IDピン1はオープンである。従って、最初のリード命令で読み取ったIDピン0及び1の信号レベルは夫々Lレベル及びHレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルはともにLレベルである。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構104が識別番号4の構造であることを識別する。

【0012】図5には識別番号5の被識別機構105が示されている。被識別機構105では図1の被識別機構103の場合とは逆の向きにNOTゲート110がIDピン0とIDピン1との間に設けられている。NOTゲート110はオープン・コレクタ構成である。最初のリード命令で読み取ったIDピン0及び1の信号レベルは夫々Lレベル及びHレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルは夫々Hレベル及びLレベルである。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構105が識別番号5の構造であることを識別する。

【0013】図6には識別番号6の被識別機構106が示されている。被識別機構106のIDピン0及びIDピン1は共にオープンである。従って、最初のリード命令で読み取ったIDピン0及び1の信号レベルはともにHレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルはともにLレベルである。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構106が識別番号6の構造であることを識別する。

(4)

特開平4-248609

5

【0014】図7には識別番号7の被識別機構107が示されている。被識別機構107のIDピン0及びIDピン1は互いに接続されている。従って、最初のリード命令で読み取ったIDピン0及び1の信号レベルはともにHレベルであり、2度目のリード命令で読み取ったIDピン0及び1の信号レベルは夫々Hレベル及びLレベル*

IDピン1	IDピン0
L→L	L→L
L→L	L→H
L→H	H→L
H→L	L→L
H→L	L→H
H→L	H→L
H→L	H→H

尚、上記の識別結果のまとめにおいて、→の左側のH/Lは最初のリード命令で読み取ったIDピン0及び1の信号レベルがHレベルであるかLレベルであるかを示し、→の右側のH/Lは2度目のリード命令で読み取ったIDピン0及び1の信号レベルがHレベルであるかLレベルであるかを示している。CPU410及びプログラム420はこのようなIDピン0及び1に現れる信号レベルの組合せからどの識別番号に該当するか決定する。即ち、付属装置20を識別する。

【0016】このような実施例によれば、2本のIDピンから7種類の装置を識別できる。また、IDピンを単に電源レベルに接続するか接地レベルに接続するかによって識別していた従来の4つの被識別機構の全てをも識別できる。

【0017】図7には第2実施例が示されている。第1実施例では、得られた識別信号の組合せから付属装置を特定していたのはCPU及び関連するプログラム（ソフトウェア）であったのに対して、第2実施例ではCPUを用いずに、デコード回路により被識別機構を特定している。図8において、情報処理装置110は識別機構500を有し、識別機構500は2つのリップ・フロップ503:0及び503:1を有している。リップ・フロップ503:0及び503:1のR（リセット）入力端子にはーステート0信号が共通に入力され、OK入力端子にはーステート1信号が共通に入力される。ーステート0信号及びーステート1信号はタイミング発生器としてのステート信号発生器510により発生され、ーステート0信号の後にーステート1信号が発生する。

【0018】リップ・フロップ503:0及び503:1のD（データ）入力端子は夫々IDコネクタ550:0及び550:1に接続されている。また、IDコネクタ550:0及び550:1は夫々ブルアップ抵抗501:0及び501:1を介して電源レベル+Vssに接続されている。リップ・フロップ503:0のQ出力はNANDゲート512の一方の入力に接続され、

*である。CPU410は最初のリード命令及び2度目のリード命令で読み取ったIDピン0及び1の信号レベルとの組合せから被識別機構107が識別番号7の基準であることを識別する。

【0019】第1実施例における識別結果をまとめると以下のようになる。

識別番号 (ID)
1
2
3
4
5
6
7

NANDゲート512の他方の入力にはフリップ・フロップ503:1の反転Q出力が接続されている。NANDゲート512の出力はIDコネクタ550:0に接続されている。また、フリップ・フロップ503:1のQ出力はNOTゲート514を介してIDコネクタ550:1に接続されている。NANDゲート512及びNOTゲート514は共にオープン・コレクタ構成である。

【0019】識別機構500はデコード回路560を有し、デコード回路560が前出の識別番号1乃至7から1つの識別番号を特定する。デコード回路560はNANDゲート521乃至527を有する。NANDゲート521は2つの入力端子を有し、その一方はフリップ・フロップ503:0の反転Q出力に接続され、他方はフリップ・フロップ503:1の反転Q出力に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート521の出力信号がLレベルになると、情報処理装置110に識別番号1の付属装置20が接続されていることを示している。

【0020】NANDゲート522は3つの入力端子を有し、その1つはフリップ・フロップ503:0のQ出力に接続され、他の1つはフリップ・フロップ503:1の反転Q出力に接続され、残りの1つはNOTゲート531を介してIDコネクタ501:1に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート522の出力信号がLレベルになったときは、識別機構500に識別番号2の被識別機構102が接続されているときである。

【0021】NANDゲート523は3つの入力端子を有し、その1つはフリップ・フロップ503:0のQ出力に接続され、他の1つはフリップ・フロップ503:1の反転Q出力に接続され、残りの1つはIDコネクタ501:1に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート523の出力信号がLレベルになったときは、識別機構500に識別番号3の被識別機構103が接続されて

(5)

特開平4-248609

7

8

いるときである。

【0022】NANDゲート524は3つの入力端子を有し、その1つはフリップ・フロップ503:0の反転Q出力に接続され、他の1つはフリップ・フロップ503:1のQ出力に接続され、残りの1つはNOTゲート532を介してIDコネクタ501:0に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート524の出力信号がLレベルになったときは、識別機構500に識別番号4の被識別機構104が接続されているときである。

【0023】NANDゲート525は3つの入力端子を有し、その1つはフリップ・フロップ503:0の反転Q出力に接続され、他の1つはフリップ・フロップ503:1のQ出力に接続され、残りの1つはIDコネクタ501:0に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート524の出力信号がLレベルになったときは、識別機構500に識別番号5の被識別機構105が接続されているときである。

【0024】NANDゲート526は3つの入力端子を*20の出力を示している。

−識別番号1 = NAND (−L1, −L0)
 −識別番号2 = NAND (−IDピン1, −L1, +L0)
 −識別番号3 = NAND (+IDピン1, −L1, +L0)
 −識別番号4 = NAND (−IDピン0, +L1, −L0)
 −識別番号5 = NAND (+IDピン0, +L1, −L0)
 −識別番号6 = NAND (+IDピン0, +L1, +L0)
 −識別番号7 = NAND (−IDピン0, +L1, +L0)

【0026】図9には本発明による情報処理システムの第3実施例が示されている。図中、付属装置310の被識別機構215の識別番号15であり、被識別機構215は3つの識別信号用の端子としてIDピン0、IDピン1、及びIDピン2を有している。IDピン1とIDピン2とはNANDゲート315の2つの入力に接続され、NANDゲート315の出力はIDピン0に接続されている。

【0027】識別機構600はIDコネクタ650:0、650:1、及び650:2を有し、これらのIDコネクタはIDピン0、IDピン1、及びIDピン2の夫々に接続されている。IDコネクタ650:0、650:1、及び650:2はブルアップ抵抗601:0、601:1、及び601:2の夫々を介して電源レベル+Vssに接続されている。また、IDコネクタ650:0、650:1、及び650:2即ちIDピン0、IDピン1、及びIDピン2はトライ・ステート・パッファ602:0、602:1、及び602:2を介してCPU610のデータ信号線に接続されている。トライ・ステート・パッファ602:0、602:1、及び602:2の削除線にはCPU610のリード命令が与えられる。CPU610のデータ信号線はD型フリップ・

*有し、その1つはフリップ・フロップ503:0のQ出力に接続され、他の1つはフリップ・フロップ503:1のQ出力に接続され、残りの1つはIDコネクタ501:0に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート526の出力信号がLレベルになったときは、識別機構500に識別番号6の被識別機構106が接続されているときである。

【0025】NANDゲート527は3つの入力端子を有し、その1つはフリップ・フロップ503:0のQ出力に接続され、他の1つはフリップ・フロップ503:1のQ出力に接続され、残りの1つはNOTゲートの出力に接続されている。ーステート0信号が発生し、次にーステート1信号が発生した後にNANDゲート526の出力信号がLレベルになったときは、識別機構500に識別番号7の被識別機構107が接続されているときである。図8の識別機構500のデコード回路560の構成を以下のように示すことができる。但し、L0及びL1は夫々フリップ・フロップ503:0及び503:1

の出力を示している。

−識別番号1 = NAND (−L1, −L0)
 −識別番号2 = NAND (−IDピン1, −L1, +L0)
 −識別番号3 = NAND (+IDピン1, −L1, +L0)
 −識別番号4 = NAND (−IDピン0, +L1, −L0)
 −識別番号5 = NAND (+IDピン0, +L1, −L0)
 −識別番号6 = NAND (+IDピン0, +L1, +L0)
 −識別番号7 = NAND (−IDピン0, +L1, +L0)

フロップ504:0、504:1、及び504:2のD入力の夫々にも接続されている。D型フリップ・フロップ504:0、504:1、及び504:2のCK入力にはCPU610のライト命令が入力される。D型フリップ・フロップ504:0、504:1、及び504:2の反転Q出力はNOTゲート603:0、603:1、及び603:2を介してのIDコネクタ650:0、650:1、及び650:2の夫々に接続されている。尚、CPU610はプログラム620に従って所定の処理を実行するようになっている。

【0028】識別機構600は、図9の被識別機構215の他に、図10乃至図43に示される被識別機構を含む全体として85個の被識別機構を識別し、これらのかにはIDピン0、1、及び2を單に選択的に接地レベルに接続しただけの従来構造の8つの被識別装置の全ても含まれている。

【0029】次に、本実施例の識別動作について説明する。先ず、3つのIDピン0、1、及び2の全てに1(Hレベル)を一旦書き込む。111を書き込むことにより、全てのピンはブルアップ抵抗601:0、601:1、及び601:2を介してHレベルにブルアップされる。次に3つのIDピン0、1、及び2の全ての信号レベルを読み取る。IDピン0、1、及び2の信号レ

(6)

特開平4-248609

9

ベルの全でがLレベルであるときは識別機構600に接続されているのは識別番号?の被識別機構207(図1-6)である。また、IDピン0、1、及び2の信号レベルのうちの2つがLレベルであるときは、どのIDピンがLレベルかにより、識別番号3の被識別機構203(図1-2)、識別番号5の被識別機構205(図1-4)、及び識別番号6の被識別機構206(図1-5)のうちの1つが特定される。IDピン0、1、及び2の信号

10

*号レベルの全てがHレベルであるとき、及びIDピン0、1、及び2の信号レベルのうちの2つがHレベルであるときは、CPU610がIDピン0、1、及び2の2つに対してHH、HL、LH、及びLL(11、10、01、及び00)という4種の信号レベルを順次書き込んだときの残りの1つのIDピンの信号レベルを読み取ることにより被識別機構を識別する。

【0030】以上をまとめると次のようになる。

識別番号或は異なるテスト

(→ レベル2Aのテストへ)

(→ レベル2Bのテストへ)

(→ レベル2Cのテストへ)

識別番号3

(→ レベル2Dのテストへ)

識別番号5

識別番号6

識別番号7

※込み。これらの信号を書き込んだときのIDピン2の信号レベルの値の組様により、識別番号8乃至14(図1-7乃至2-3)の被識別機構208乃至214が識別される。以上をまとめると以下のような。

【0031】次に、レベル2Aのテストについて説明する。最初に読み出した3つのIDピン0、1、及び2の信号レベルが全てHレベルであったときは、IDピン0及び1にHH、HL、LH、及びLLの信号を順次書き込む。

20

IDピン2の出力の信号レベル

IDピン1/0:	H/H	H/L	L/H	L/L	識別結果
	H	H	H	H	→ 付属装置なし
	H	H	H	L	→ 識別番号8
	H	H	L	H	→ 識別番号9
	H	H	L	L	→ 識別番号10
	H	L	H	H	→ 識別番号11
	H	L	H	L	→ 識別番号12
	H	L	L	H	→ 識別番号13
	H	L	L	L	→ 識別番号14

★号を書き込んだときのIDピン0の信号レベルの値の組様により、識別番号15乃至21(図9、及び、図2-4乃至2-9)の被識別機構215乃至221及び識別番号1の被識別機構201(図10)が識別される。以上をまとめると以下のような。

【0032】次に、レベル2Bのテストについて説明する。最初の読み出しでIDピン1及び2の信号レベルがHレベルであったときは、IDピン1及び2にHH、H

L、LH、及びLLの信号を順次書き込む。これらの信号を書き込んだときのIDピン1の信号レベルの値の組

IDピン0の出力の信号レベル

IDピン2/1:	H/H	H/L	L/H	L/L	識別結果
	L	H	H	H	→ 識別番号15
	L	H	H	L	→ 識別番号16
	L	H	L	H	→ 識別番号17
	L	H	L	L	→ 識別番号18
	L	L	H	H	→ 識別番号19
	L	L	H	L	→ 識別番号20
	L	L	L	H	→ 識別番号21
	L	L	L	L	→ 識別番号1

Hレベルであったときは、IDピン2及び0にHH、H L、LH、及びLLの信号を順次書き込む。これらの信号を書き込んだときのIDピン1の信号レベルの値の組

【0033】次に、レベル2Cのテストについて説明する。最初の読み出しでIDピン2及び0の信号レベルが

50

(7)

特開平4-248609

11

様により、識別番号22乃至28(図30乃至36)の
被識別機構22乃至228及び識別番号2の被識別機*
被識別番号22乃至228及び識別番号2の被識別機*
被識別機構22乃至228及び識別番号2の被識別機*

12

*構202(図11)が識別される。以上をまとめると以
下のようである。

IDピン1の出力の信号レベル

IDピン2/0 :	H/H	H/L	L/H	L/L	識別結果
	L	H	H	H	→ 識別装置22
	L	H	H	L	→ 識別番号23
	L	H	L	H	→ 識別番号24
	L	H	L	L	→ 識別番号25
	L	L	H	H	→ 識別番号26
	L	L	H	L	→ 識別番号27
	L	L	L	H	→ 識別番号28
	L	L	L	L	→ 識別番号2

※号を書き込んだときのIDピン2の信号レベルの値の組
様により、識別番号29乃至35(図37乃至43)の
被識別機構229乃至235及び識別番号4の被識別機
構204(図13)が識別される。以上をまとめると以
下のようである。

IDピン2の出力の信号レベル

IDピン1/0 :	H/H	H/L	L/H	L/L	識別結果
	L	H	H	H	→ 識別装置29
	L	H	H	L	→ 識別番号30
	L	H	L	H	→ 識別番号31
	L	H	L	L	→ 識別番号32
	L	L	H	H	→ 識別番号33
	L	L	H	L	→ 識別番号34
	L	L	L	H	→ 識別番号35
	L	L	L	L	→ 識別番号4

【図6】第1実施例の識別番号6の被識別機構の構成を
示す回路図である。

30 【図7】第1実施例の識別番号7の被識別機構の構成を
示す回路図である。

【図8】本発明による情報処理システムの第2実施例の
全体構成を示す回路図である。

【図9】本発明による情報処理システムの第3実施例の
全体構成を示す回路図である。

【図10】第3実施例の識別番号1の被識別機構の構成
を示す回路図である。

【図11】第3実施例の識別番号2の被識別機構の構成
を示す回路図である。

40 【図12】第3実施例の識別番号3の被識別機構の構成
を示す回路図である。

【図13】第3実施例の識別番号4の被識別機構の構成
を示す回路図である。

【図14】第3実施例の識別番号5の被識別機構の構成
を示す回路図である。

【図15】第3実施例の識別番号6の被識別機構の構成
を示す回路図である。

【図16】第3実施例の識別番号7の被識別機構の構成
を示す回路図である。

50 【図17】第3実施例の識別番号8の被識別機構の構成
を示す回路図である。

【0034】次に、レベル2Dのテストについて説明す
る。最初の読み出しでIDピン1及び0の信号レベルが
Hレベルであったときは、IDピン1及び0にHH、H
L、LH、及びLの信号を順次書き込み。これらの信号
L、LH、及びLの信号を順次書き込み。これらの信号

【0035】尚、前記実施例では被識別機構のIDピン
の数は2または3であったが、4以上であってもよい。ま
た、何れも従来装置と同じ構成の前記識別番号3、5、
及び6の被識別機構203、205、及び206(図1
2、14、及び15)について変形を施すことにより全
体として44種の装置を識別することもできる。

【0036】

【発明の効果】上述のように本発明によれば、簡単な構
造により、識別し得る装置数を増やすことができ、また、従来構成の被識別機構をも識別できる情報処理シ
ステムを提供できる。

【図面の簡単な説明】

【図1】本発明による情報処理システムの第1実施例の
全体構成を示す回路図である。

【図2】第1実施例の識別番号1の被識別機構の構成を
示す回路図である。

【図3】第1実施例の識別番号2の被識別機構の構成を
示す回路図である。

【図4】第1実施例の識別番号4の被識別機構の構成を
示す回路図である。

【図5】第1実施例の識別番号5の被識別機構の構成を
示す回路図である。

(8)

特開平4-248609

13

を示す回路図である。

【図18】第3実施例の識別番号9の被識別機構の構成を示す回路図である。

【図19】第3実施例の識別番号10の被識別機構の構成を示す回路図である。

【図20】第3実施例の識別番号11の被識別機構の構成を示す回路図である。

【図21】第3実施例の識別番号12の被識別機構の構成を示す回路図である。

【図22】第3実施例の識別番号13の被識別機構の構成を示す回路図である。

【図23】第3実施例の識別番号14の被識別機構の構成を示す回路図である。

【図24】第3実施例の識別番号15の被識別機構の構成を示す回路図である。

【図25】第3実施例の識別番号16の被識別機構の構成を示す回路図である。

【図26】第3実施例の識別番号17の被識別機構の構成を示す回路図である。

【図27】第3実施例の識別番号18の被識別機構の構成を示す回路図である。

【図28】第3実施例の識別番号19の被識別機構の構成を示す回路図である。

【図29】第3実施例の識別番号20の被識別機構の構成を示す回路図である。

【図30】第3実施例の識別番号21の被識別機構の構成を示す回路図である。

【図31】第3実施例の識別番号22の被識別機構の構成を示す回路図である。

【図32】第3実施例の識別番号23の被識別機構の構成を示す回路図である。

【図33】第3実施例の識別番号24の被識別機構の構成を示す回路図である。

【図34】第3実施例の識別番号25の被識別機構の構成を示す回路図である。

【図35】第3実施例の識別番号26の被識別機構の構成を示す回路図である。

【図36】第3実施例の識別番号27の被識別機構の構成を示す回路図である。

【図37】第3実施例の識別番号28の被識別機構の構成を示す回路図である。

【図38】第3実施例の識別番号29の被識別機構の構成を示す回路図である。

【図39】第3実施例の識別番号30の被識別機構の構成を示す回路図である。

【図40】第3実施例の識別番号31の被識別機構の構成を示す回路図である。

【図41】第3実施例の識別番号32の被識別機構の構成を示す回路図である。

【図42】第3実施例の識別番号33の被識別機構の構成を示す回路図である。

【図43】第3実施例の識別番号34の被識別機構の構成を示す回路図である。

10

成を示す回路図である。

【図43】第3実施例の識別番号35の被識別機構の構成を示す回路図である。

【符号の説明】

1 0 . . . 情報処理装置

2 0 . . . 付属装置

1 0 1 . . . 識別番号1の被識別機構

1 0 2 . . . 識別番号2の被識別機構

1 0 3 . . . 識別番号3の被識別機構

1 0 4 . . . 識別番号4の被識別機構

1 0 5 . . . 識別番号5の被識別機構

1 0 6 . . . 識別番号6の被識別機構

1 0 7 . . . 識別番号7の被識別機構

1 1 0 . . . 情報処理装置

2 0 1 . . . 識別番号1の被識別機構

2 0 2 . . . 識別番号2の被識別機構

2 0 3 . . . 識別番号3の被識別機構

2 0 4 . . . 識別番号4の被識別機構

2 0 5 . . . 識別番号5の被識別機構

2 0 6 . . . 識別番号6の被識別機構

2 0 7 . . . 識別番号7の被識別機構

2 0 8 . . . 識別番号8の被識別機構

2 0 9 . . . 識別番号9の被識別機構

2 1 0 . . . 識別番号10の被識別機構

2 1 1 . . . 識別番号11の被識別機構

2 1 2 . . . 識別番号12の被識別機構

2 1 3 . . . 識別番号13の被識別機構

2 1 4 . . . 識別番号14の被識別機構

2 1 5 . . . 識別番号15の被識別機構

2 1 6 . . . 識別番号16の被識別機構

2 1 7 . . . 識別番号17の被識別機構

2 1 8 . . . 識別番号18の被識別機構

2 1 9 . . . 識別番号19の被識別機構

2 2 0 . . . 識別番号20の被識別機構

2 2 1 . . . 識別番号21の被識別機構

2 2 2 . . . 識別番号22の被識別機構

2 2 3 . . . 識別番号23の被識別機構

2 2 4 . . . 識別番号24の被識別機構

2 2 5 . . . 識別番号25の被識別機構

2 2 6 . . . 識別番号26の被識別機構

2 2 7 . . . 識別番号27の被識別機構

2 2 8 . . . 識別番号28の被識別機構

2 2 9 . . . 識別番号29の被識別機構

2 3 0 . . . 識別番号30の被識別機構

2 3 1 . . . 識別番号31の被識別機構

2 3 2 . . . 識別番号32の被識別機構

2 3 3 . . . 識別番号33の被識別機構

2 3 4 . . . 識別番号34の被識別機構

2 3 5 . . . 識別番号35の被識別機構

3 0 0 . . . 情報処理装置

(9)

特明平4-248609

15

16

310 . . . 付属装置
 400 . . . 認別機構
 410 . . . CPU
 420 . . . プログラム
 500 . . . 認別機構

510...ステート信号発生回路
600...識別機構
610...CPU
620...プログラム

〔圖1〕

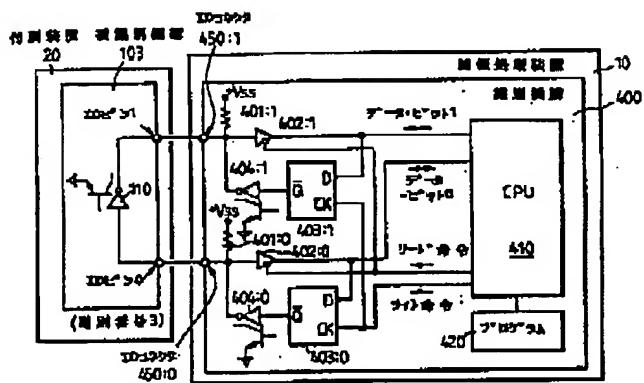
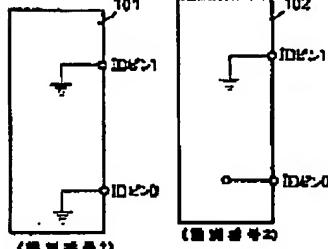


图47

(图 5)

[圖 6]

〔圖7〕



[图10]

图 11

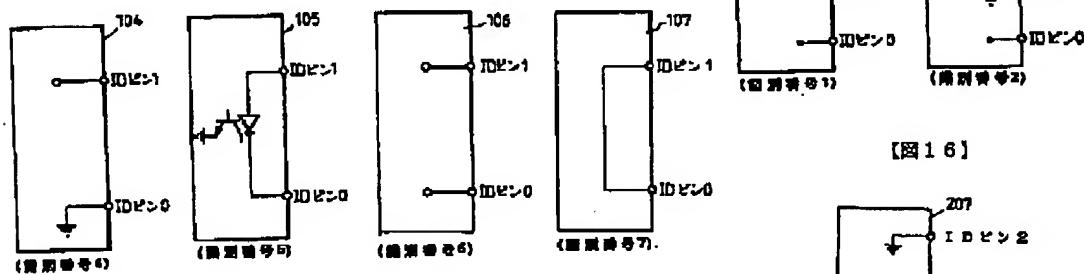
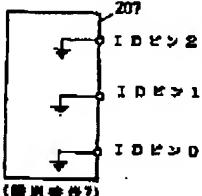


图 12

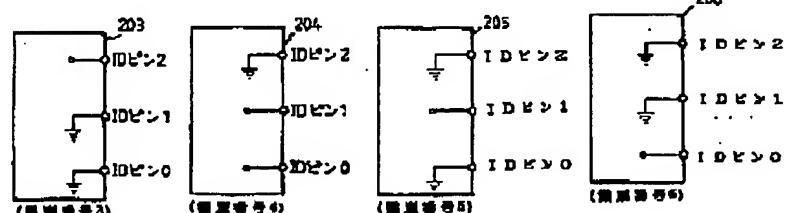
[M 13]

[図14]

[图1.5]



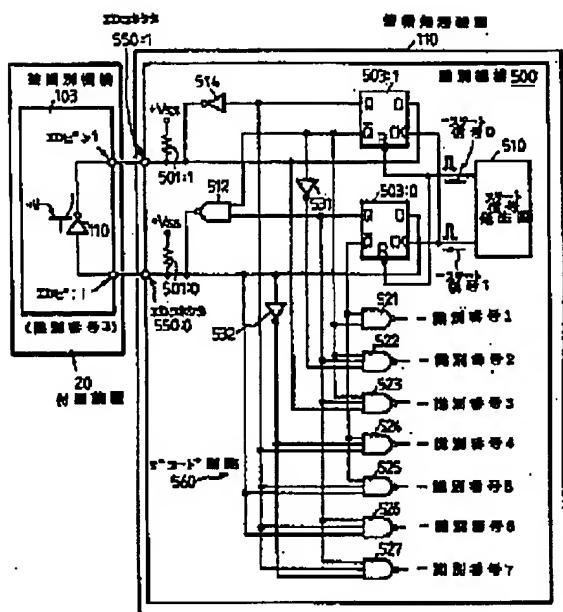
[图1-71]



(10)

特開平4-248609

8)



[图18]

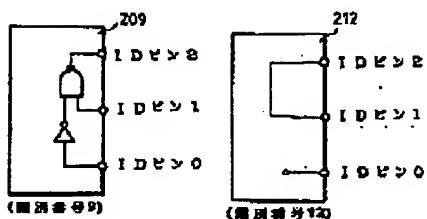
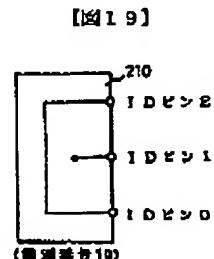
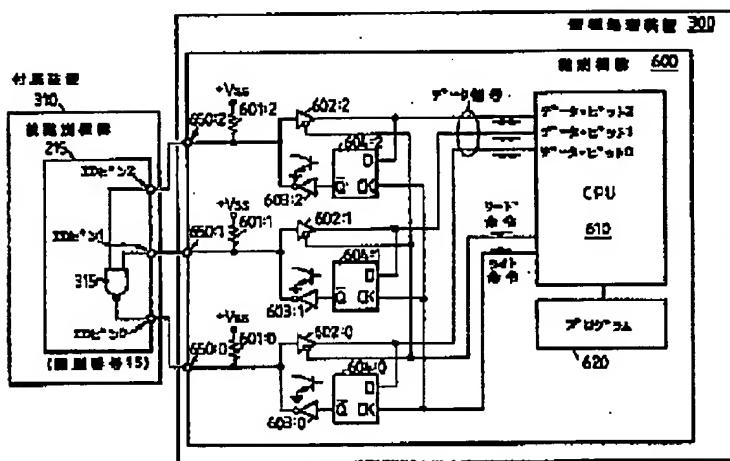


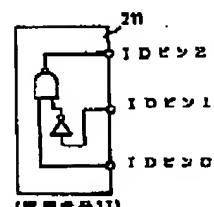
圖21)



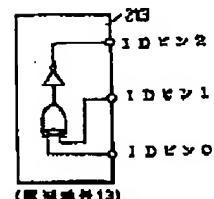
【圖 9】



〔圖20〕



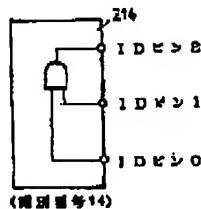
[圖 3-31]



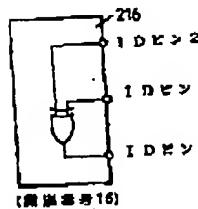
(11)

特開平4-248609

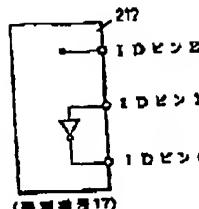
【図23】



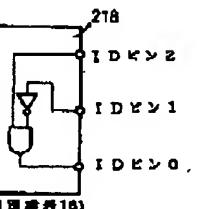
【図24】



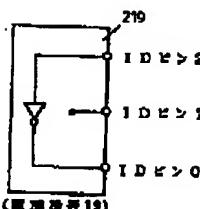
【図25】



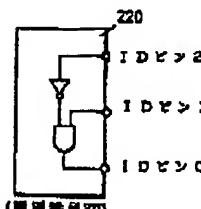
【図26】



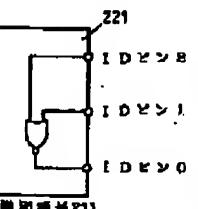
【図27】



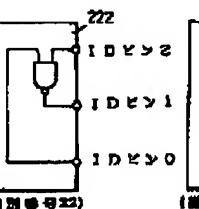
【図28】



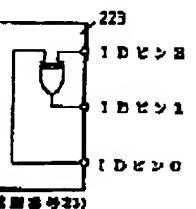
【図29】



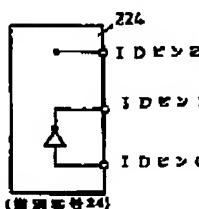
【図30】



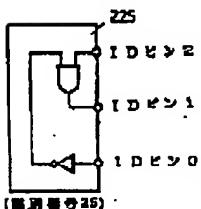
【図31】



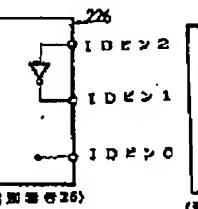
【図32】



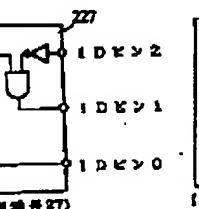
【図33】



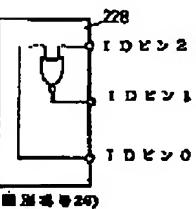
【図34】



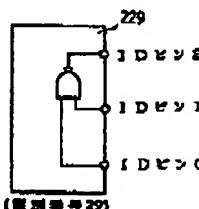
【図35】



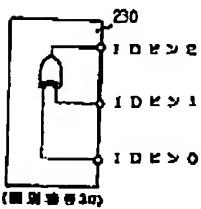
【図36】



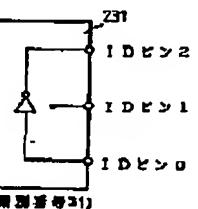
【図37】



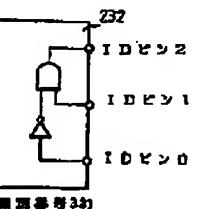
【図38】



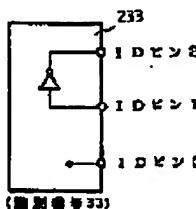
【図39】



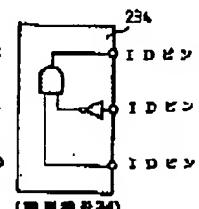
【図40】



【図41】



【図42】



(12)

特開平4-248609

【図49】

